

PAT-NO: JP363213381A
DOCUMENT-IDENTIFIER: JP 63213381 A
TITLE: LAMINATED CERAMIC ACTUATOR ELEMENT
PUBN-DATE: September 6, 1988

INVENTOR-INFORMATION:
NAME
YAMADA, HIROAKI

ASSIGNEE-INFORMATION:
NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP62044095
APPL-DATE: February 28, 1987

INT-CL (IPC): H01L041/08

ABSTRACT:

PURPOSE: To enable the direct driving applying an N-bit digital signal, by constituting a structure wherein N partial lamination bodies having respectively different 2<SP>n</SP>(n=0~N-1) piezoelectric ceramic layers are stacked in a unified body.

CONSTITUTION: By stacking N partial lamination bodies No.1~No.N in order, one lamination body is constituted, in which second electrodes 6 are sandwiched between each of the partial lamination bodies. The partial lamination bodies No.1~No.N are constituted in which the respective 1, 2, 3...2<SP>n</SP> piezoelectric layers 1 put a first internal

electrode 2 between
them. A common external electrode 4 connects in common the
alternate internal
electrodes 2 containing second internal electrodes 6. N
individual external
electrodes 3a, 3b,...3N connect the other alternate internal
electrodes 2 for
each partial lamination body. By applying each bit of an N
bit digital signal
between each of the individual external electrodes and the
common electrode,
displacements corresponding with the digital signal can be
obtained for all
lamination bodies.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-213381

⑤ Int. Cl.⁴
H 01 L 41/08識別記号 庁内整理番号
S-7131-5F

④ 公開 昭和63年(1988)9月6日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 積層セラミックアクチュエータ素子

⑭ 特 願 昭62-44095

⑮ 出 願 昭62(1987)2月28日

⑯ 発 明 者 山 田 博 章 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 栗田 春雄

明 細 書

1. 発明の名称

積層セラミックアクチュエータ素子

2. 特許請求の範囲

複数の圧電セラミック層を内部電極を介して積層した積層体と、この積層体の内部電極を1つおきに交互に接続する外部電極とからなる積層アクチュエータ素子において、夫々異なった 2^n (n は $0 \sim N-1$)個の圧電セラミック層を第1の内部電極を挟んで積層して形成した N 個の部分積層体と、これらを順次積み重ねるために挿入される第2の内部電極と、この第2の内部電極を含む1つおきの内部電極を共通に接続する片側側面の共通外部電極と、他方の1つおきの内部電極を部分積層体毎に接続する底面および他側側面の N 個の個別外部電極とよりなることを特徴とする積層セラミックアクチュエータ素子。

3. 発明の詳細な説明

産業上の利用分野

本発明は電気信号を機械的な変位に変換するための積層セラミックアクチュエータ素子に関するものである。

従来の技術

従来、この種の積層セラミックアクチュエータ素子の一例は、第2図に示すように内部電極2を挟んで複数の圧電セラミック層1を積層して積層体を形成し、これらの内部電極2が表面に現れている側面部分を一つおきに絶縁体5でマスクし、その上に外部電極3および4により交互に内部電極2を接続した構成を有するものであった。

すなわち、この従来の積層セラミックアクチュエータ素子は、内部電極を交互に接続し、圧電セラミック層の1つ1つに電圧を印加できる2端子の素子であり、この2端子間に印加する電気信号に応じた縦効果の圧電変位を生じさせるものであった。

したがって、印加する電気信号はアナログ信号

であり、ディジタル信号を用いて直接駆動することはできず、ディジタル信号を用いる場合には、ディジタル信号をアナログ信号に変換するためのディジタル・アナログ変換器が必要になるという欠点があった。

発明が解決しようとする問題点

本発明の目的は、上記の欠点、すなわちディジタル信号を用いて直接駆動することができず、ディジタル・アナログ変換器が必要になるという問題点を解決した積層セラミックアクチュエータ素子を提供することにある。

問題点を解決するための手段

本発明は上述の問題点を解決するために、夫々異った 2^n (n は $0 \sim N-1$) 個の圧電セラミック層を第1の内部電極を挟んで積層して形成する N 個の部分積層体と、これらを順次積み重ねるために挿入される第2の内部電極と、この第2の内部電極を含む1つおきの内部電極を共通に接続する共通外部電極と、他方の1つおきの内部電極を部分積層体毎に接続する N 個の個別外部電極とを

によってマスクされ、第2の内部電極6がマスクされていない側面は全て接続されて共通の外部電極4とし、反対側の第2の内部電極6が絶縁体でマスクされた側面は夫々の部分積層体毎に第1の内部電極2を接続して N 個の外部電極3a, 3b, …… 3Nとしている。

次に本実施例の動作について第1図を用いて説明する。

いま N ビットのディジタル信号の最下位ビットを外部電極3aに、第2ビットを3bに、…… 最上位ビットの第 N ビットを入力端子3Nにというように接続すると、最下位ビットオンで電圧を印加した場合の変位を1とした場合、第2ビットでは2の変位、第3ビットでは4の変位と順次最上位ビットでは 2^{N-1} の変位というように積層数に比例する変位を発生させることが可能になる。

したがって N ビットのディジタル信号を用いて直接ディジタル信号に応じた誤差の少ない変位を発生させることができ、従来必要であったディジタル・アナログ変換器が不要になるという利点がある。

有する構成を採用するものである。

作用

本発明は上述のように構成したので、 N ビットのディジタル信号の各ビットを夫々の個別外部電極と共通電極との間に印加することにより、夫々の部分積層体の変位し、全体の積層体にディジタル信号に対応する変位が得られる。

実施例

次に本発明の実施例について図面を参照して説明する。

本発明の一実施例を側面図で示す第1図を参照すると、本発明の積層セラミックアクチュエータ素子は、 N 個の部分積層体 $N_1 \sim N_N$ が第2の内部電極6 (破線で示している) を挟んで順次積み重ねられて1個の積層体を構成している。また部分積層体 $N_1 \sim N_N$ は夫々 $1, 2, 4 \dots 2^n$ 個の圧電セラミック層1が第1の内部電極2を挟んで構成されたものである。ここで n は $0 \sim N-1$ である。積層体の左右の側面の第1および第2の内部電極2および6の端部は左右1つおきに絶縁体5

ある。

発明の効果

以上に説明したように、本発明によれば、夫々 $1, 2, 4 \dots 2^n$ ($n = 0 \sim N-1$) の圧電セラミック層を有する N 個の部分積層体を積み重ねて一体化した構造とすることにより、 N ビットのディジタル信号を用いて直接駆動することができ、正確でかつディジタル・アナログ変換器を必要としないアクチュエータ素子が得られるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の側断面図、第2図(a)および(b)はそれぞれ従来の一例の斜視図および側断面図である。

1…圧電セラミック層、2…第1の内部電極、3a～3N…個別外部電極 (信号入力側)、4…外部電極 (共通端子側)、5…絶縁体、6…第2の内部電極、 $N_1 \sim N_N$ …部分積層体。

代理人 弁理士 栗田 春雄

